

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000097979 A**

(43) Date of publication of application: **07.04.00**

(51) Int. Cl.

**G01R 29/08**  
**G01R 19/02**

(21) Application number: **11233125**

(22) Date of filing: **19.08.99**

(30) Priority: **19.08.98 US 98 136475**

(71) Applicant: **HARRIS CORP**

(72) Inventor: **BORODULIN DMITRYI**

**(54) IMPROVED SIGNAL DETECTOR**

**(57) Abstract:**

**PROBLEM TO BE SOLVED:** To display a mean value of frequency signals by coupling both outputs of signal converters of different responding time constants by a differential circuit, and providing a feedback circuit between the differential circuit and the one signal converter.

**SOLUTION:** Frequency signals are received by first and second signal converters having different responding time constants corresponding to applied frequency signals, and outputs of both the

converters are supplied to a differential circuit. A feedback circuit is coupled between an output of the differential circuit and one of the converters. Thus, when the signal is increased by the output of the other converter, the output of the differential circuit follows an increased signal. When the signal is decreased by the output of the other converter, the output of the differential circuit follows the signal output of the one converter coupled with the feedback circuit. Thus, an RMS value display circuit of the economical frequency signal is obtained.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-97979

(P2000-97979A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 0 1 R 29/08  
19/02

G 0 1 R 29/08  
19/02

B

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21)出願番号 特願平11-233125

(22)出願日 平成11年8月19日(1999.8.19)

(31)優先権主張番号 09/136475

(32)優先日 平成10年8月19日(1998.8.19)

(33)優先権主張国 米国 (US)

(71)出願人 591268346

ハリス・コーポレーション

HARRIS CORPORATION

アメリカ合衆国、フロリダ州 32919、メ  
ルパーン、ウエスト ナサ ブルバード  
1025

(72)発明者 ドミトリー ポロドゥリン

アメリカ合衆国、イリノイ州、クインシ  
ー、チェリー レーン 1832

(74)代理人 100071526

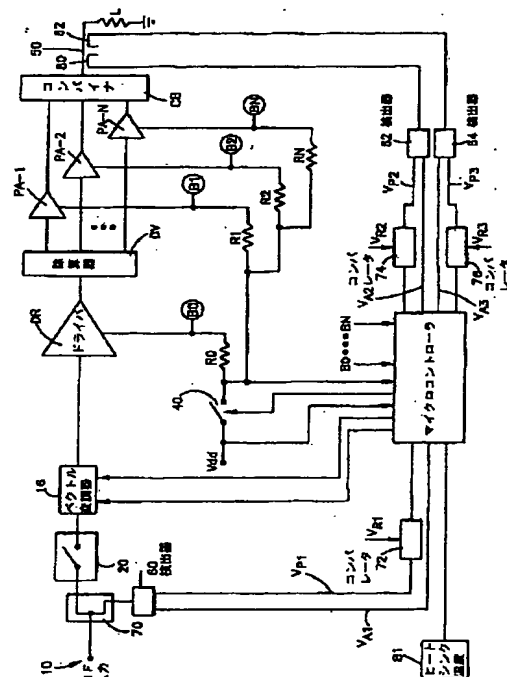
弁理士 平田 忠雄

(54)【発明の名称】 向上した信号検出器

(57)【要約】

【課題】入力電圧のRMS値に比例する出力電圧を複雑な電気回路を用いることなく与える経済的な回路を提供すること。

【解決手段】周波数信号のRMS値を表示するための回路が提供される。この回路は、周波数信号を受け取るための第一信号変換回路及び第二信号変換回路を含む。各変換回路は、周波数信号への応答において異なる応答時間定数を示す。差動回路を、第一信号変換回路の出力及び第二信号変換回路の出力からの第一出力信号及び第二出力信号を受け取るように結合して、出力信号を提供する。差動回路の出力と、第一信号変換回路の出力と第二信号変換回路の出力のうちのひとつとの間に、フィードバック回路を結合する。



## 【特許請求の範囲】

【請求項1】周波数信号を受けるための第一信号変換回路と第二信号変換回路とを含んでなり、前記第一信号変換回路と第二信号変換回路がそこに加えられた周波数信号に応答する際に異なる応答時間定数を示し、差動回路を第一信号変換回路の出力及び第二信号変換回路の出力からの第一信号及び第二信号を受けるように結合して出力信号を提供する、周波数信号のRMS値表示用回路であって、

前記差動回路の出力と、前記第一信号変換回路の出力と前記第二信号変換回路の出力のうちの一つとの間に、フィードバック回路を結合して、他方の信号変換回路の出力で信号が増加すると前記差動回路の出力信号が増加信号に追従し、前記他方の信号変換回路の出力で前記信号が減少すると、前記差動回路の出力信号がフィードバック回路を結合した前記信号変換回路の信号出力に追従するようにされている、ことを特徴とする回路。

【請求項2】前記第一信号変換回路の時間定数値及び前記第二信号変換回路の時間定数値が、前記差動回路の前記出力信号の大きさがCW変調及びDTV変調を有する周波数信号についてほぼ同じであるように設定され、前記第一信号変換回路及び前記第二信号変換回路が抵抗コンデンサ回路を含んでなり、前記周波数信号が前記抵抗器に加えられ、抵抗器とコンデンサとの各接合が前記差動回路の入力に結合されていることを特徴とする、請求項1に記載の回路。

【請求項3】前記差動回路が差動増幅器であり、第一信号変換回路の出力及び第二信号変換回路の出力が前記差動増幅器の反転入力回路と非反転入力回路とを分離するように結合され、前記フィードバック回路が前記反転入力回路に結合されている、請求項2に記載の回路。

【請求項4】前記差動増幅器の前記反転入力に結合した前記信号変換回路の時間定数値が、前記他方の信号変換回路の時間定数よりも大きい、請求項3に記載の回路。

【請求項5】前記差動増幅器の前記非反転入力に結合した前記信号変換回路の時間定数値が、前記他方の信号変換回路の時間定数よりも大きい、請求項3に記載の回路。

【請求項6】変調無線周波数信号のRMS値を表す信号の提供方法であって、前記周波数信号を、これらの周波数信号への応答について異なる時間定数を有する第一信号変換回路と第二信号変換回路とに加え、前記第一信号変換回路の出力と前記第二信号変換回路の出力とをモニタして出力信号を提供し、前記出力信号が、前記出力信号の大きさが増加しているときには前記第一信号変換回路の前記出力信号に追従し、前記第一信号変換回路の前記出力信号の大きさが減少しているときには前記第二信号変換回路の前記出力信号に追従して、前記周波数信号値を表す出力信号を提供する、ことを特徴とする方法。

【請求項7】前記第二変換回路の時間定数を前記周波数

信号の周波数と比較して長くなるように設定し、前記第一信号変換回路の時間定数を未変調周波数信号で設定し、前記第一信号変換回路の時間定数を変調周波数信号で再設定することを含む、請求項6に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周波数信号の平均値表示用検出器に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】増幅器の動作中、入力信号レベル及び出力信号レベル並びに反射パワーレベルをサンプリングするのが望ましいことがよくある。これらのサンプルを使用して、増幅器を制御できる。回路設計者は、従来、入力ベースバンド信号をRMSパワーに比例するDCレベルに変換するために真のRMS検出器を使用していた。このような回路は、集積回路として市販されていた。これまで、これらの回路は、10kHz以下等の低周波数での使用にしか適当でなかった。その結果、これらは、テレビ信号の場合のような6MHz幅等の高周波数のベースバンド信号を表すRMS信号を提供することはできない。入力電圧のRMS値に比例する出力電圧を複雑な電気回路を用いることなく与える経済的な回路を提供することが望ましい。

【0003】

【課題を解決するための手段】本発明によれば、周波数信号を受けるための第一信号変換回路と第二信号変換回路とを含んでなり、前記第一信号変換回路と第二信号変換回路がそこに加えられた周波数信号に応答する際に異なる応答時間定数を示し、差動回路を第一信号変換回路の出力及び第二信号変換回路の出力からの第一信号及び第二信号を受けるように結合して出力信号を提供する、周波数信号のRMS値表示用回路であって、前記差動回路の出力と、前記第一信号変換回路の出力と前記第二信号変換回路の出力のうちの一つとの間に、フィードバック回路を結合して、他方の信号変換回路の出力で信号が増加すると前記差動回路の出力信号が増加信号に追従し、前記他方の信号変換回路の出力で前記信号が減少すると、前記差動回路の出力信号がフィードバック回路を結合した前記信号変換回路の信号出力に追従するようにされている、ことを特徴とする回路が提供される。

【0004】また、本発明によれば、変調無線周波数信号のRMS値を表す信号の提供方法であって、前記周波数信号を、これらの周波数信号への応答について異なる時間定数を有する第一信号変換回路と第二信号変換回路とに加え、前記第一信号変換回路の出力と前記第二信号変換回路の出力とをモニタして出力信号を提供し、前記出力信号が、前記出力信号の大きさが増加しているときには前記第一信号変換回路の前記出力信号に追従し、前記第一信号変換回路の前記出力信号の大きさが減少しているときには前記第二変換回路の前記出力信号に追従し

て、前記周波数信号値を表す出力信号を提供する、ことを特徴とする方法が提供される。

【0005】都合のよいことに、周波数信号の平均値を表示するための回路が提供される。この回路は、周波数信号を受け取るための第一信号変換回路と第二信号変換回路とを含む。各変換回路は、前記周波数信号に応答する際に異なる応答時間定数を示す。差動回路が、第一信号変換回路の出力及び第二信号変換回路の出力からの第一出力信号及び第二出力信号を受けるように結合して出力信号を提供する。前記差動回路の出力と、前記第一信号変換回路の出力と前記第二信号変換回路の出力のうちのひとつとの間に、フィードバック回路が結合されている。前記差動回路の出力信号は、前記周波数信号の平均値を表す。

【0006】

【発明の実施の形態】本発明を、例として、添付図面を参照しながら説明する。図1は、入力端子10で変調RF入力信号を受信し、前記信号を増幅し、それを負荷L（送信アンテナ及び関連装置の形態をとることができる）に供給する、パワー増幅器モジュール又はシステムを示す。一例として、RF入力信号は、大きさが20ミリワット程度であり、周波数が470～860MHzのUHF周波数範囲内であり、バンド幅がテレビチャンネルについて含まれる6MHzでよい。この信号は、増幅器により、43dB程度のゲインで増加して前記負荷Lに加えられる出力信号は400ワットであるようにできる。

【0007】RF入力信号を入力端子10に加え、したがって、ベクトル変調器に加える。このベクトル変調器は、RF信号の大きさ及び位相を変化させる。次に、ベクトル変調器からの変調RF信号は、ドライバDRにより20ワット等のより高いレベルに増幅される。ドライバDRからの出力を、次にパワードライバDV（信号スブリッタ又はパワースブリッタと称することがある）に供給して、増幅された信号をN倍分割する。N個の信号を、次にN個のパワー増幅器PA-1～PA-N（但し、Nは、例えば、12でよい）に加える。次に、パワー増幅器PA-1～PA-Nからの信号を、信号コンバイナCBで合わせて出力信号を得て、それを負荷Lに加える。

【0008】RF入力スイッチ20が閉じたときに、入力信号をベクトル変調器16に加える。このRFスイッチ20を、以下でより詳細に説明するマイクロコントローラMCにより制御する。マイクロコントローラは、ベクトル変調器も制御してRF信号の位相及びゲインを変化させる。

【0009】ドライバDRは、約14dBのゲインで信号を増幅して、約20ワットのRF信号を除算器DVに送り出す。この除算器は、パワースブリッタとしての役割を果たし、加えたRF信号をN個の部分に分割する。

この除算器は、RF信号のN個の等しい部分をそれぞれパワー増幅器PA-1～PA-Nに加える。各パワー増幅器は、電界効果形トランジスタを含む。電界効果形トランジスタは、ドレイン電極を抵抗器R1又はR2又はRN等の適当な抵抗器を介してDCスイッチ40に接続して備えている。このスイッチを閉じると、各ドレイン電極がDC電圧源V<sub>DD</sub>と接続される。この電圧源は、例えば、32ボルト程度でよい。

【0010】パワー増幅器PA-1～PA-Nからの出力を、パワーコンバイナCBで合わせる。出力回路50での出力信号は、400ワット程度である。マイクロコントローラMCは、増幅器システムの動作をモニタし、RF信号の位相及び／又はゲインの変化及びRFスイッチ20及びDCスイッチ40の動作の制御によりシステムを制御する。

【0011】DCスイッチ40を閉じると、電流がパワー増幅器PA-1～PA-Nに流れる。この電流が、関連抵抗器R1～RNを通して流れる。電圧が各抵抗器を介して生じる。これらの電圧を、電流サンプルとしてマイクロプロセッサMCに供給する。次に、マイクロプロセッサMCが、電流レベルが高すぎるか低すぎるかを決定し、適当に作用する。また、スイッチ40を閉じると、抵抗器R0及びドライバDRを通して電流が流れる。また、この抵抗器を介して生じた電圧を、マイクロコントローラMCに供給して解析する。

【0012】種々のパワー増幅器を通して流れる電流のモニタの他に、マイクロコントローラは、パワー検出器を使用してピーク及び平均パワーレベルをモニタする。これらの検出器は、入力パワー検出器60及び出力パワー検出器62及び64を含む。パワー検出器60は入力信号除算器70に接続され、入力ピークパワー及び入力平均パワーをそれぞれ表すDC出力信号V<sub>p1</sub>及びV<sub>a1</sub>を提供する役割を果たす。入力ピークパワーV<sub>p1</sub>を表す信号を、コンパレータ72で基準V<sub>a1</sub>と比較する。もしピークパワーV<sub>p1</sub>が基準を超える場合には、割り込み信号をマイクロプロセッサMCに供給し、処理されているルーチンを中断させて、フォールトプロセスに入ってパワー増幅器システムをターンオフする。

【0013】検出器62を、出力伝送路50に結合した入射信号カブラ80に接続する。この検出器62は、ピーク出力パワーを表すDC電圧信号V<sub>p2</sub>及び出力伝送路50での順方向における平均出力パワーを表すDC電圧V<sub>a2</sub>を提供する。信号V<sub>p2</sub>を、コンパレータ74での基準V<sub>a2</sub>と比較する。もし信号V<sub>p2</sub>が基準V<sub>a2</sub>を超えると、割り込み信号をマイクロコントローラMCに供給し、次にフォールトプロセスルーチンに入ってパワー増幅器をターンオフする。

【0014】反射パワーを検知するカブラ82を用い、このカブラを検出器64に接続する。この検出器64は、ピーク反射パワーを表す信号V<sub>p3</sub>及び平均反射パワ

一を表す $V_{A1}$ を含むDC電圧信号を提供する役割を果たす。もし信号 $V_{P1}$ が基準 $V_{A1}$ を超えるならば、コンパレータ76が割り込み信号をマイクロコントローラMCに加え、次にフォールプロセストルーチンに入って、パワー増幅器をターンオフする。モニタした平均パワー信号 $V_{A1}$ 、 $V_{A2}$ 及び $V_{A3}$ をマイクロコントローラMC（必要に応じてRF信号のゲイン及び/又は位相を変化するようにプログラミングされている）に供給する。

【0015】パワー検出器の各々は、図2を参照して詳細に説明する検出器60と同様に構成されている。この検出器は、エンベロープ復調器61を含む。エンベロープ復調器61は、対応して入力又は出力される伝送路からのRF信号のサンプルを受け取る。キャリア信号は、例えば、600MHz程度でよく、テレビ信号用ベースバンドは6MHzのバンド幅を有する。復調器61は、キャリア信号（600MHz）を効果的にストリップして、復調ベースバンド信号のみを残す。この信号は、アナログ正信号とみなすことができ、積分器63及びピークパワー検出器65に加える。

【0016】積分器63は、平均入力パワーを表す電圧 $V_{A1}$ の形態で出力信号を提供し、一方、ピーク検出器65は、ピーク入力パワーを表す電圧 $V_{P1}$ の形態の出力信号を提供する。復調器61及び積分器63は、RMS検出器を形成する。検出器60、62及び64の各々に位置する積分器63は、以下で説明する図3に示した形態でもよい。

【0017】ここで、デジタル8-VSBフォーマットは、8レベル残留サイドバンド信号を意味する。この信号のベースバンドは、幅6MHzである。図1に示すパワー増幅器システムの効率的なパワーレベル制御を提供することが望ましい。これを達成するために、出力信号 $V_{out}$ （対応平均パワーに比例する）を与えるパワー検出器を提供することが望ましい。いままで、回路設計者は、典型的に、入力ベースバンド信号をRMSパワーに比例するDCレベルに変換するために真のRMS検出器を使用していた。これは、下式にしたがってなされる。

【0018】

【数1】

$$V_{RMS} = \sqrt{\frac{\int_0^T v_{in}^2 dt}{T}}$$

【0019】図1に示すパワー増幅器システムにおける顕著な問題は、上記式を実行するための回路が複雑且つ費用がかかることである。現在のところ、この種の式を実行する市販の集積回路は、10kHz以下等の低周波数での使用にしか適当でない。これらの集積回路は、それらだけでは、デジタルテレビ信号の場合のような6MHz幅等の実質的に高周波数のベースバンド信号

を表すRMS信号を提供することはできない。乗算（例えば、 $V_{in} \times V_{in} = V_{in}^2$ ）を用いることなく入力電圧 $V_{in}$ のRMS値に比例した出力電圧 $V_{out}$ を送出する回路を提供することが必要とされている。これは、周期信号又は確率信号等の一定種類の信号について達成できる。換言すれば、周波数スペクトルが経時的に変化しない信号について達成できる。例としては、8-VSB、COFDM変調信号である。これは、以下で述べる図3で示した回路によりなされる。

【0020】上記した特性を有する変調RF信号の振幅エンベロープである入力電圧 $V_{in}$ を、入力端子100に加え、出力端子102で出力電圧 $V_{out}$ を得る。その正又は非反転入力106に接続してRCチャージバスを有するワイドバンドオペレーショナル増幅器104を設け、RCディスチャージバスを、その反転又は負の入力108に接続する。チャージバスは、増幅器104の入力106に接続された接合点を有する抵抗器R1とコンデンサC1を含む。コンデンサC1の他方側を、回路接地に接続する。ディスチャージバスは、オペレーショナル増幅器104の入力108に接続された接合点を有する抵抗器R2とコンデンサC2を含む。コンデンサC2の他方側は、回路接地に接続されている。ダイオードD1は、増幅器104の出力105と回路出力102との間に接続されている。回路出力102を、回路バス110を介して増幅器104の負の入力108に接続されている。

【0021】図3における回路は、チャージ時間定数及びディスチャージ時間定数を規定する別個のRC回路を有し、それにより、独立的に制御されたチャージ時間及びディスチャージ時間を提供する。回路は、抵抗器R1及びR2の値を変化させることによりチューニングして、チャージ時間定数とディスチャージ時間定数との比が、検出器が $V_{in}$ のRMS値に比例した出力電圧 $V_{out}$ を送出できるようにすることができる。ここでの動作方法を、以下に述べる。

【0022】ダイオードD1を出力105と回路出力102との間に接続し、 $R2 * C2 \geq R1 * C1$ とする。この状況では、電圧 $V_{out}$ 及び $V+$ は、電圧 $V+$ が増加すると電圧 $V+$ に追従する。電圧 $V+$ が減少すると、電圧 $V_{out}$ は、 $V+$ が再び増加するまでディスチャージ時間 $R2 * C2$ に追従し、動作が反復する。電圧 $V+$ はチャージ時間定数 $R1 * C1$ の電圧 $V_{in}$ に追従するので、電圧 $V_{out}$ は、電圧 $V_{in}$ 増加については時間定数 $C1 * R1$ 及び電圧 $V_{in}$ 減少については時間定数 $C2 * R2$ の電圧 $V_{in}$ に追従する。

【0023】時間定数 $R2 * C2$ が十分長いとき

【数2】

$$\left( \frac{1}{C2 * R2} < f_{low} \right)$$

（式中、 $f_{low}$ はエンベロープ変調信号のスペクトルに

おける最低周波数である)、これにより、時間定数 $C1 * R1$ を、 $C1 * R1 = 0$ から $C1 * R1 = C2 * R2$ まで操作することにより、最大電圧 $V_{in}$ ～平均電圧 $V_{in}$ の範囲のいずれかの電圧 $V_{out}$ を生じる。

【0024】もしダイオードD1をダイオードD2(破線により示されるような)により置き換えると、状態 $R1 * C1 \geq R2 * C2$ が生じる。 $R1 * C1$ が十分長い場合には

【数3】

$$\left( \frac{1}{C1 * R1} < f_{low} \right)$$

これにより、平均 $V_{in}$ ～最小 $V_{in}$ の範囲のいずれかの電圧 $V_{out}$ が生じる( $C2 * R2$ を $C1 * R1$ からゼロに変化)。

【0025】図1のパワー増幅器システムにおいては、8-VSBベースバンド信号が含まれることが意図される。これは、周波数範囲0～6MHzで、この範囲内でほとんど均一なパワー分布を有するホワイトノイズのように見えるスペクトルである。目標は、チャージ時間定数とディスチャージ時間定数との比をチューニングして、回路を複雑にしなければならない乗算( $V_{in} * V_{in}$ )なしに、検出器が電圧 $V_{in}$ のRMS値に比例する電圧 $V_{out}$ を送出することである。

【0026】これは、8-VSB変調RFによる電圧 $V_{out}$ をCWによる電圧 $V_{out}$ に照会することにより達成される。非変調(CW)RF信号の変調ベースバンドはゼロに等しいので、電圧 $V_{in}$ は、DC電圧である。DC電圧についてのRMS値は、電圧自体に等しい。電圧 $V_{in}$ に加えると、検出器の出力に $V_{out} = V_{in}$ として現れる。この電圧 $V_{out}$ のレベルは、RFの一定平均パワーについてのRMS電圧の基準として使用でき、CWから同じ平均パワーレベルの8-VSB信号に切り替えた後、電圧 $V_{out}$ が同じ値を示すように時間定数をチューニングする。

【0027】時間定数のチューニングは、抵抗器R1及びR2の値を一定電圧 $V_{out}$ が得られるように調節することによりなされる。したがって、RMS検出器は、二種類のRF変調について真RMS値を送出する。:CW(非変調)及び8-VSB。

【0028】図3の回路を理解するのに役立つ別の説明をおこなう。公知パワーレベルPの非変調連続波(CW)信号を、RF入力末端10に加えることができる(図1参照)。電圧 $V_{out}$ 値が観察される。次に、連続波を、同じ公知のパワーレベルP、の8-VSBと置き換えてもよい。ここでも、出力電圧 $V_{out}$ が観察される。入力パワーレベルが同じP、であるので、電圧 $V_{out}$ 値は、両方の場合について同じでなければならな

い。同じでないならば、チャージバス及びディスチャージバスにおける抵抗R1及びR2の値を変更して、チャージ時間定数とディスチャージ時間定数との比を変化させる。出力電圧が同じとなれば、抵抗器の値を固定する。すなわち、抵抗器の値は、CWベースバンド信号及び8-VSBベースバンド信号の両方について同じ電圧 $V_{out}$ が得られるように最適化された。

【0029】周波数信号のRMS値を表示するための回路が提供される。この回路は、周波数信号を受け取るための第一信号変換回路及び第二信号変換回路を含む。各変換回路は、周波数信号への応答において異なる応答時間定数を示す。差動回路を、第一信号変換回路の出力及び第二信号変換回路の出力からの第一出力信号及び第二出力信号を受け取るように結合して、出力信号を提供する。差動回路の出力と、第一信号変換回路の出力と第二信号変換回路の出力のうちの一つとの間に、フィードバック回路を結合する。

【図面の簡単な説明】

【図1】本発明の一実施態様を用いることができるパワー増幅器の概略ブロック図である。

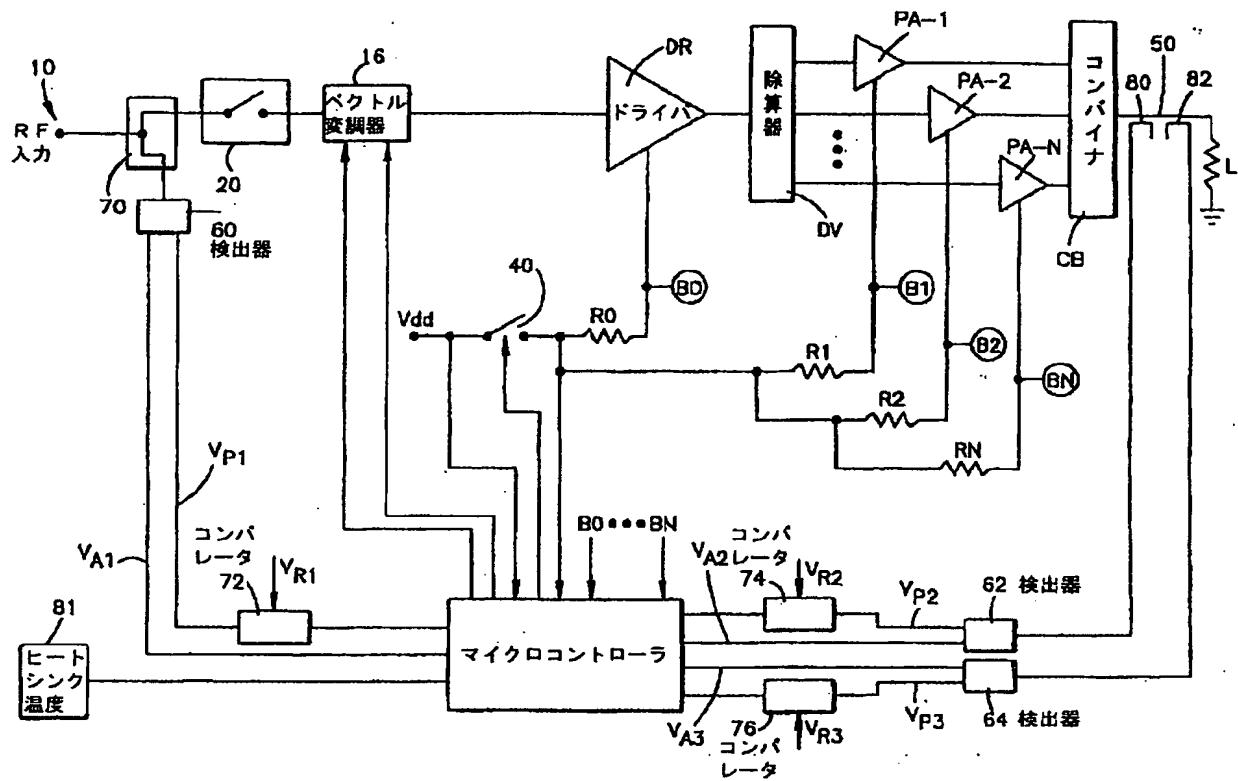
【図2】パワー検出器のブロック図である。

【図3】本発明によるRMS検出器の概略ブロック図である。

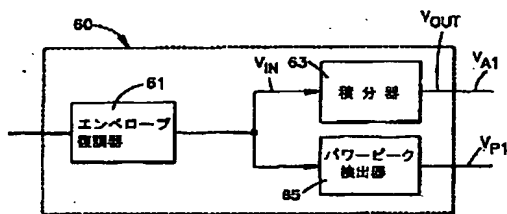
【符号の説明】

- 10 入力端子
- 16 ベクトル変調器
- 20 RFスイッチ
- 40 DCスイッチ
- 50 出力回路
- 60 入力パワー検出器
- 61 エンベロープ復調器
- 62、64、66 検出器
- 63 積分器
- 65 ピークパワー検出器
- 70 入力信号除算器
- 72、74、76 コンパレータ
- 80 入射信号カブラ
- 82 カブラ
- 100 入力端子
- 102 出力端子
- 104 増幅器
- 105 出力
- 106 正又は非反転入力
- 108 反転又は負の入力
- 110 回路バス

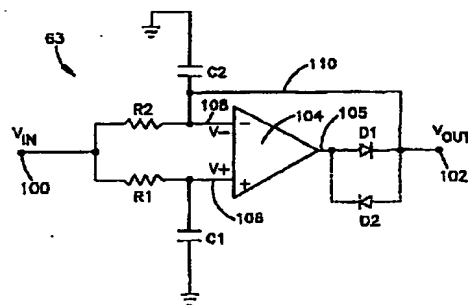
【図1】



【図2】



【図3】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-097979

(43)Date of publication of application : 07.04.2000

---

(51)Int.Cl. G01R 29/08  
G01R 19/02

---

(21)Application number : 11-233125

(71)Applicant : HARRIS CORP

(22)Date of filing : 19.08.1999

(72)Inventor : BORODULIN DMITRYI

---

(30)Priority

Priority number : 98 136475    Priority date : 19.08.1998    Priority country : US

---

### (54) IMPROVED SIGNAL DETECTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To display a mean value of frequency signals by coupling both outputs of signal converters of different responding time constants by a differential circuit, and providing a feedback circuit between the differential circuit and the one signal converter.

SOLUTION: Frequency signals are received by first and second signal converters having different responding time constants corresponding to applied frequency signals, and outputs of both the converters are supplied to a differential circuit. A feedback circuit is coupled between an output of the differential circuit and one of the converters. Thus, when the signal is increased by the output of the other converter, the output of the differential circuit follows an increased signal. When the signal is decreased by the output of the other converter, the output of the differential circuit follows the signal output of the one converter coupled with the feedback circuit. Thus, an RMS value display circuit of the economical frequency signal is obtained.

---

### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It comes to contain the first signal transformation circuit and the second signal transformation circuit for receiving signalling frequency. A response-time constant which is different in case said first signal transformation circuit and second signal transformation circuit answer the signalling frequency added there is shown. It is the circuit for an RMS value display of signalling frequency which combines a differential circuit so that the first signal and the second signal from the output of the first signal transformation circuit and the output of the second signal transformation circuit may be received, and offers an output signal. The output of said differential circuit, Between one of the output of said first signal transformation circuit, and the outputs of said second signal transformation circuit If the output signal of said differential circuit follows an increment signal if a feedback circuit is combined and a signal increases with the output of the signal transformation circuit of another side, and said signal decreases with the output of the signal transformation circuit of said another side The circuit characterized by what is being made to be followed by the signal output of said signal transformation circuit where the output signal of said differential circuit combined the feedback circuit.

[Claim 2] The time amount constant value of said first signal transformation circuit and the time amount constant value of said second signal transformation circuit It is set up so that almost similarly about the signalling frequency with which the magnitude of said output signal of said differential circuit has CW modulation and a DTV modulation. The circuit according to claim 1 which said signalling frequency is added for said first signal transformation circuit and said second signal transformation circuit to said resistor coming [ a resistance capacitor circuit ], and is characterized by combining each junction to a resistor and a capacitor with the input of said differential circuit.

[Claim 3] The circuit according to claim 2 where said differential circuit is the differential amplifier in, it is combined in so that the output of the first signal transformation circuit and the output of the second signal transformation circuit may separate the reversal input circuit and noninverting input circuit of said differential amplifier, and said feedback circuit is combined with said reversal input circuit.

[Claim 4] The circuit according to claim 3 where the time amount constant value of said signal transformation circuit combined with said reversal input of said differential amplifier is larger than the time amount constant of the signal transformation circuit of said another side.

[Claim 5] The circuit according to claim 3 where the time amount constant value of said signal transformation circuit combined with said noninverting input of said differential amplifier is larger than the time amount constant of the signal transformation circuit of said another side.

[Claim 6] It is the offer approach of a signal of expressing the RMS value of a modulation radio frequency signal. Said signalling frequency It adds to the first signal transformation circuit and the second signal transformation circuit which have a time amount constant which is different about the response to such signalling frequency. Carry out the monitor of the output of said first signal transformation circuit, and the output of said second signal transformation circuit, and an output signal is offered. Said output signal follows said output signal of said first signal transformation circuit, while the magnitude of said output signal is increasing. The approach characterized by what said output signal of said second conversion circuit is followed while the magnitude of said output signal of said first signal transformation circuit is decreasing, and the output signal showing said signalling frequency value is offered for.

[Claim 7] An approach including setting up the time amount constant of said second conversion circuit so that it may become long as compared with the frequency of said signalling frequency, setting up the time amount constant of said first signal transformation circuit by the non-modulation frequency signal, and resetting the time amount constant of said first signal transformation circuit by the modulation frequency

signal according to claim 6.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]****[0001]**

**[Field of the Invention]** This invention relates to the detector for mean value displays of signalling frequency.

**[0002]**

**[Description of the Prior Art]** It is often in working, the input signal level, and the output-signal level list of an amplifier that it is desirable to sample reflective power level. These samples are used and amplifier can be controlled. The circuit designer was using the true RMS detector, in order to change input baseband signaling into DC level proportional to RMS power conventionally. Such a circuit was marketed as an integrated circuit. Until now, these circuits were suitable only for use by low frequency, such as 10 etc.kHz or less. Consequently, these cannot offer the RMS signal showing the baseband signaling of high frequency, such as 6MHz width of face like [ in the case of a TV signal ]. It is desirable to offer the economical circuit which gives the output voltage proportional to the RMS value of input voltage, without using a complicated electrical circuit.

**[0003]**

**[Means for Solving the Problem]** According to this invention, it comes to contain the first signal transformation circuit and the second signal transformation circuit for receiving signalling frequency. A response-time constant which is different in case said first signal transformation circuit and second signal transformation circuit answer the signalling frequency added there is shown. It is the circuit for an RMS value display of signalling frequency which combines a differential circuit so that the first signal and the second signal from the output of the first signal transformation circuit and the output of the second signal transformation circuit may be received, and offers an output signal. The output of said differential circuit, Between one of the output of said first signal transformation circuit, and the outputs of said second signal transformation circuit If the output signal of said differential circuit follows an increment signal if a feedback circuit is combined and a signal increases with the output of the signal transformation circuit of another side, and said signal decreases with the output of the signal transformation circuit of said another side The circuit characterized by what is being made to be followed by the signal output of said signal transformation circuit where the output signal of said differential circuit combined the feedback circuit is offered.

**[0004]** Moreover, according to this invention, it is the offer approach of a signal of expressing the RMS value of a modulation radio frequency signal. It adds to the first signal transformation circuit and the second signal transformation circuit which have a time amount constant which is different about the response to such signalling frequency in said signalling frequency. Carry out the monitor of the output of said first signal transformation circuit, and the output of said second signal transformation circuit, and an output signal is offered. Said output signal follows said output signal of said first signal transformation circuit, while the magnitude of said output signal is increasing. While the magnitude of said output signal of said first signal transformation circuit is decreasing, said output signal of said second conversion circuit is followed, and the approach characterized by what the output signal showing said signalling frequency value is offered for is offered.

**[0005]** The circuit for displaying the average of signalling frequency on it being convenient is offered. This circuit includes the first signal transformation circuit and the second signal transformation circuit for receiving signalling frequency. Each conversion circuit shows a response-time constant which is different in case said signalling frequency is answered. A differential circuit joins together so that the first output signal and the second output signal from the output of the first signal transformation circuit and the output of the

second signal transformation circuit may be received, and an output signal is offered. The feedback circuit is combined between one of the output of said differential circuit, the output of said first signal transformation circuit, and the outputs of said second signal transformation circuit. The output signal of said differential circuit expresses the average of said signalling frequency.

[0006]

[Embodiment of the Invention] This invention is explained as an example, referring to an accompanying drawing. Drawing 1 receives a modulation RF input signal with an input terminal 10, amplifies said signal, and shows the power-amplifier module or system which supplies it to Load L (the gestalt of a transmitting antenna and associated equipment can be taken). As an example, magnitude is about 20mW, and RF input signal is in the UHF frequency range whose frequency is 470-860MHz, and is good at 6MHz in which a bandwidth is contained about a television channel. The output signal which this signal increases by about 43dB gain with amplifier, and is applied to said load L can be 400W.

[0007] RF input signal is applied to an input terminal 10, therefore it adds to a vector modulator. This vector modulator changes the magnitude and the phase of a RF signal. Next, the modulation RF signal from a vector modulator is amplified by higher level, such as 20 etc. W, by Driver DR. The output from Driver DR is supplied to the power driver DV (a signal splitter or a power splitter may be called) next, and the amplified signal is N-double-divided. The signal of N individual is added to power-amplifier PA-1 of N individual - PA-N (however, N is good at 12) next. Next, the signal from power-amplifier PA-1 - PA-N is doubled by the signal combiner CB, an output signal is acquired, and it is added to Load L.

[0008] An input signal is applied to the vector modulator 16 when RF input switch 20 closes. This RF switch 20 is controlled by below with the microcontroller MC explained more to a detail. A microcontroller also controls a vector modulator and changes the phase and gain of a RF signal.

[0009] Driver DR amplifies a signal by about 14dB gain, and sends out about 20W RF signal to Divider DV. This divider divides into the part of N individual the RF signal which played and added a role of a power splitter. This divider adds the equal part of N individual of a RF signal to power-amplifier PA-1 - PA-N, respectively. Each power amplifier contains a field effect transistor. The field effect transistor connects and equips the DC switch 40 with the drain electrode through suitable resistors, such as a resistor R1, R2, or RN. If this switch is closed, each drain electrode will be connected with the DC voltage source VDD. This voltage source is good at about 32 volts.

[0010] The output from power-amplifier PA-1 - PA-N is doubled by the power combiner CB. The output signal in an output circuit 50 is about 400W. Microcontroller MC carries out the monitor of the actuation of an amplifier system, and controls a system by control of actuation of change and the RF switch 20 of the phase of a RF signal, and/or gain, and the DC switch 40.

[0011] If the DC switch 40 is closed, a current will flow to power-amplifier PA-1 - PA-N. This current flows through the related resistors R1-RN. An electrical potential difference arises through each resistor. These electrical potential differences are supplied to Microprocessor MC as a current sample. Next, Microprocessor MC determines whether current level is too high or too low, and acts it suitably. Moreover, if a switch 40 is closed, a current will flow through a resistor R0 and Driver DR. Moreover, the electrical potential difference produced through this resistor is supplied and analyzed to Microcontroller MC.

[0012] The microcontroller other than the monitor of a current which flows through various power amplifiers carries out the monitor of a peak and the average power level using a power detector. These detectors contain the input-control-power detector 60 and the output-power detectors 62 and 64. The power detector 60 is connected to the input signal divider 70, and the role which offers the DC output signals VP1 and VA1 with which input peak power and input average power are expressed, respectively is played. A comparator 72 compares the signal showing the input peak power VP 1 with criteria VR 1. When the peak power VP 1 exceeds criteria, an interrupt signal is supplied to Microprocessor MC, the routine currently processed is interrupted, it goes into a fault process, and the turn-off of the power-amplifier system is carried out.

[0013] A detector 62 is connected to the incidence signal coupler 80 combined with the output transmission line 50. This detector 62 offers the DC electrical potential difference VA 2 showing the average output power in the forward direction in the DC voltage signal VP 1 showing peaking capacity power, and the output transmission line 50. A signal VP 2 is compared with the criteria VR 2 in a comparator 74. If a signal VP 2 exceeds criteria VR 2, an interrupt signal is supplied to Microcontroller MC, then it goes into a fault process routine, and the turn-off of the power amplifier is carried out.

[0014] This coupler is connected to a detector 64 using the coupler 82 which detects reflective power. This detector 64 plays the role which offers DC voltage signal containing VA3 showing the signal VP 3 and

average reflective power showing peak reflective power. Supposing a signal VP 3 exceeds criteria VR 3, a comparator 76 will add an interrupt signal to Microcontroller MC, then will go into a fall pro SESUTO routine, and will carry out the turn-off of the power amplifier. The average power signals VA1, VA2, and VA3 which carried out the monitor are supplied to Microcontroller MC (programmed so that the gain and/or the phase of a RF signal may be changed if needed).

[0015] Each of a power detector is constituted like the detector 60 explained to a detail with reference to drawing 2. This detector contains the envelope demodulator 61. The envelope demodulator 61 receives the sample of the RF signal from the transmission line which corresponds, and is inputted or outputted. A carrier signal is good at about 600MHz, and the baseband for TV signals has the bandwidth of 6MHz. A demodulator 61 carries out the strip of the carrier signal (600MHz) effectively, and leaves only recovery baseband signaling. It can consider that this signal is an analog forward signal, and it is added to an integrator 63 and the peak power detector 65.

[0016] An integrator 63 offers an output signal with the gestalt of the electrical potential difference VA 1 showing average input control power, and, on the other hand, a peak detector 65 offers the output signal showing peak input control power of the gestalt of an electrical potential difference VP 3. A demodulator 61 and an integrator 63 form an RMS detector. The gestalt shown in drawing 3 explained below is sufficient as the integrator 63 located in each of detectors 60, 62, and 64.

[0017] Here, a digital 8-VSB format means 8 level residual side band signal. The baseband of this signal is 6MHz in width of face. It is desirable to offer efficient power level control of the power-amplifier system shown in drawing 1. In order to attain this, it is desirable to offer the power detector which gives an output signal Vout (it is proportional to correspondence average power). Until now, the circuit designer was using the true RMS detector, in order to change input baseband signaling into DC level proportional to RMS power typically. This is made according to a bottom type.

[0018]

[Equation 1]

$$V_{RMS} = \frac{\sqrt{\int_0^T v_{in}^2 dt}}{T}$$

[0019] It is that the remarkable problem in the power-amplifier system shown in drawing 1 has a complicated circuit for performing the above-mentioned formula, and that costs start. Now, the integrated circuit of marketing which performs this kind of formula is suitable only for use by low frequency, such as 10 etc.kHz or less. These integrated circuits cannot offer RMS signals with which the baseband signaling of high frequency is expressed more substantially, such as 6MHz width of face like [ in the case of a digital television signal ], only by them. Output voltage Vout which is proportional to the RMS value of input voltage Vin, without using multiplication (for example, VinxVin=Vin2) To offer the circuit to send out is needed. This can be attained about the signal of fixed classes, such as a periodic signal or a probability signal. If it puts in another way, it can attain about the signal with which frequency spectrum does not change with time. As an example, they are 8-VSB and a COFDM modulating signal. This is made by the circuit shown by drawing 3 described below.

[0020] The input voltage Vin which is the amplitude envelope of the modulation RF signal which has the above-mentioned property is applied to an input terminal 100, and it is output voltage Vout at an output terminal 102. It obtains. The wideband operational research amplifier 104 which connects with the forward or noninverting input 106, and has RC charge pass is formed, and RC discharge pass is connected to the reversal or negative input 108. Charge pass contains the resistor R1 and capacitor C1 which have the join connected to the input 106 of an amplifier 104. The other side of a capacitor C1 is connected to circuit touch-down. Discharge pass contains the resistor R2 and capacitor C2 which have the join connected to the input 108 of the operational research amplifier 104. The other side of a capacitor C2 is connected to circuit touch-down. Diode D1 is connected between the output 105 of amplifier 104, and the circuit output 102. The circuit output 102 is connected to the negative input 108 of amplifier 104 through the circuit pass 110.

[0021] The circuit in drawing 3 has the separate RC circuit which specifies a charge time amount constant and a discharge time amount constant, and offers the charge time amount and discharge time amount which were controlled in independent by that cause. A circuit is the output voltage Vout to which it tuned up by changing the value of resistors R1 and R2, and a detector is [ the ratio of a charge time amount constant and a discharge time amount constant ] proportional to the RMS value of Vin. It can make it possible to send out. An approach here of operation is described below.

[0022] Diode D1 is connected between an output 105 and a circuit output 102, and it is referred to as  $R2 \cdot C2 \geq R1 \cdot C1$ . In this situation, it is an electrical potential difference  $V_{out}$ . And  $V$  is followed at electrical-potential-difference  $V+$ , if electrical-potential-difference  $V+$  increases. If electrical-potential-difference  $V+$  decreases, it is an electrical potential difference  $V_{out}$ . Discharge time amount  $R2 \cdot C2$  is followed until  $V+$  increases again, and actuation repeats. Since the electrical potential difference  $V_{in}$  of charge time amount constant  $R1 \cdot C1$  is followed, electrical-potential-difference  $V+$  is an electrical potential difference  $V_{out}$ . About time amount constant  $C1 \cdot R1$  and electrical-potential-difference  $V_{in}$  reduction, the electrical potential difference  $V_{in}$  of time amount constant  $C2 \cdot R2$  is followed [ increment / in electrical-potential-difference  $V_{in}$  ].

[0023] It is [several 2] when time amount constant  $R2 \cdot C2$  is sufficiently long.

$$\left( \frac{1}{C2 \cdot R2} < f_{low} \right)$$

(flow is the lowest frequency in the spectrum of an envelope modulating signal among a formula), and when this operates time amount constant  $C1 \cdot R1$  from  $C1 \cdot R1=0$  to  $C1 \cdot R1=C2 \cdot R2$ , it is one electrical potential difference  $V_{out}$  of the range of the maximum electrical potential difference  $V_{in}$  - the average electrical potential difference  $V_{in}$ . It is generated.

[0024] If diode D1 is replaced with diode D2 (as [ show / by the broken line ]), condition  $R1 \cdot C1 \geq R2 \cdot C2$  arises. It is [Equation 3] when  $R1 \cdot C1$  is sufficiently long.

$$\left( \frac{1}{C1 \cdot R1} < f_{low} \right)$$

Thereby, it is one electrical potential difference  $V_{out}$  of the range of the average  $V_{in}$ - minimum  $V_{in}$ . It is generated ( $C2 \cdot R2$  are changed from  $=C1 \cdot R1$  to zero).

[0025] It is meant in the power-amplifier system of drawing 1 that 8-VSB baseband signaling is included. This is 0-6MHz of frequency ranges, and is a spectrum which appears like the white noise which has almost uniform power distribution within the limits of this. A target is the electrical potential difference  $V_{out}$  to which a detector is proportional to the RMS value of an electrical potential difference  $V_{in}$  without the multiplication ( $V_{in} \cdot V_{in}$ ) which must tune up the ratio of a charge time amount constant and a discharge time amount constant, and must complicate a circuit. It is sending out.

[0026] This is the electrical potential difference  $V_{out}$  by the 8-VSB modulation RF. Electrical potential difference  $V_{out}$  by CW It is attained by making a reference. Since the modulation baseband of the RF signal non-becoming irregular (CW) is equal to zero, an electrical potential difference  $V_{in}$  is a DC electrical potential difference. The RMS value about DC electrical potential difference is equal to the electrical potential difference itself. If it adds to an electrical potential difference  $V_{in}$ , it will appear as  $V_{out}=V_{in}$  in the output of a detector. This electrical potential difference  $V_{out}$  Level is the electrical potential difference  $V_{out}$  after being able to use it as criteria of the RMS electrical potential difference about the fixed average power of RF and changing from CW to the 8-VSB signal of the same average power level. A time amount constant is tuned up so that the same value may be shown.

[0027] Tuning of a time amount constant is the fixed electrical potential difference  $V_{out}$  about the value of resistors  $R1$  and  $R2$ . It is made by adjusting so that it may be obtained. Therefore, an RMS detector sends out a true RMS value about two kinds of RF modulations. : CW (un-becoming irregular) and 8-VSB.

[0028] Another explanation which is useful to understanding the circuit of drawing 3 is performed. The non-becoming irregular continuous wave (CW) signal of the well-known power level  $P$  can be added to RF input end 10 (refer to drawing 1 ). Electrical potential difference  $V_{out}$  A value is observed. Next, it is the same well-known power level  $P_r$  about a continuous wave. You may replace with 8-VSB. Here, it is output voltage  $V_{out}$ . It is observed. the  $P_r$  with the same input power level it is -- since -- electrical potential difference  $V_{out}$  A value must be the same about both cases. If not the same, the value of the resistance  $R1$  and  $R2$  in charge pass and discharge pass will be changed, and the ratio of a charge time amount constant and a discharge time amount constant will be changed. The value of a resistor is fixed if output voltage becomes the same. That is, the value of a resistor is the electrical potential difference  $V_{out}$  same about both CW baseband signaling and 8-VSB baseband signaling. It optimized so that it might be obtained.

[0029] The circuit for displaying the RMS value of signalling frequency is offered. This circuit includes the first signal transformation circuit and the second signal transformation circuit for receiving signalling frequency. Each conversion circuit shows a different response-time constant in the response to signalling frequency. A differential circuit is combined so that the first output signal and the second output signal from the output of the first signal transformation circuit and the output of the second signal transformation circuit

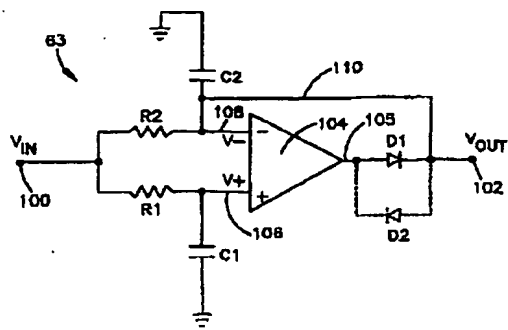
may be received, and an output signal is offered. A feedback circuit is combined between one of the output of a differential circuit, the output of the first signal transformation circuit, and the outputs of the second signal transformation circuit.

---

[Translation done.]







---

[Translation done.]